

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-102576

(43)Date of publication of application : 13. 04. 1999

(51) Int. Cl.

G11B 20/10

(21)Application number : 09-263655

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29. 09. 1997

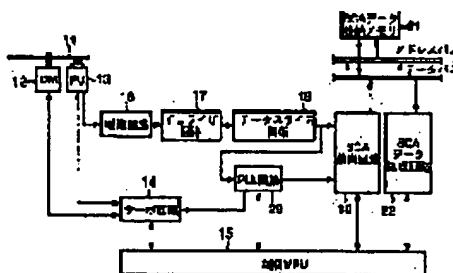
(72)Inventor : MAEKAWA TOMOYUKI
MIYANO YUICHI

(54) DATA-REPRODUCING APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To fix the data length and facilitate the processing of data strings by generating an address to be fed to a recording medium from a synchronous code and a frame number in a reproduced data packet, and recording data of the reproduced data packet on the basis of the address on the recording medium.

SOLUTION: A BCA detection circuit 19 deletes a line sending a recording length to a BCA data-processing circuit 22 therefrom without detecting the recording length of BCA data. In detecting the BCA data, a control MPU generates a memory initialization instruction to a memory initialization control circuit of the BCA detection circuit 19 via an input terminal. The BCA data having a not specified data length are fixed in data length by initializing contents in a BCA data-storing memory 21. Accordingly, an ECC operation process and an EDC operation process can be carried out uniformly with a process of a maximum data length irrespective of the data length of the BCA data, thereby eliminating detection of the recording length of the BCA data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

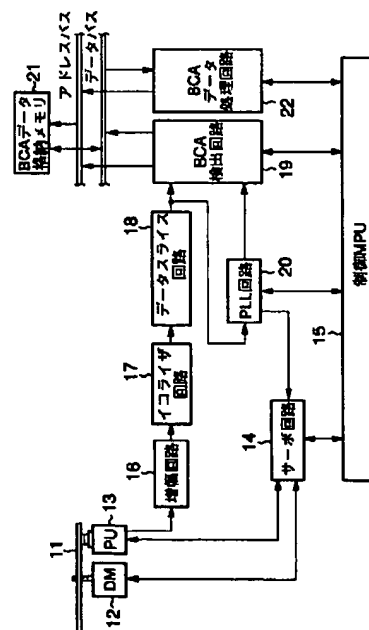
[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 1データバケットが不特定数のフレームで構成され、1フレームがそれぞれ同期コードとフレーム番号とを付与された所定数のデータで構成されるデータ列を再生するデータ再生装置において、最大数のフレームが含まれた前記1データバケットを記録可能な記録容量を有する記録媒体と、この記録媒体の前記1データバケット分の記録領域に特定データを記録して初期化する初期化手段と、再生されたデータバケットに含まれる前記同期コードとフレーム番号とから前記記録媒体に与えるアドレスを生成し、この生成されたアドレスに基づいて前記再生されたデータバケットのデータを前記記録媒体に記録する記録手段とを具備してなることを特徴とするデータ再生装置。

【請求項2】 前記特定データは、0データであることを特徴とする請求項1記載のデータ再生装置。

【請求項3】 前記記録媒体の中で、前記1データバケットの先頭フレームと最終フレームとに対応する領域に記録される前記特定データを、非0データとしたことを特徴とする請求項2記載のデータ再生装置。

【請求項4】 前記データ列は、BCAデータであることを特徴とする請求項1記載のデータ再生装置。

【請求項5】 前記記録手段は、前記再生されたデータバケットのデータを前記記録媒体に記録したか否かを示す識別情報を発生することを特徴とする請求項1記載のデータ再生装置。

【請求項6】 前記識別情報に基づいて、前記記録媒体に記録されたデータバケットを加工する手段を具備してなることを特徴とする請求項5記載のデータ再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、データ長が不特定なデータを再生するデータ再生装置の改良に関する。

【0002】

【従来の技術】周知のように、近時では、片面に約5 Gビットもの膨大なデータを記録した光ディスクとしてDVD (Digital Video Disk) が開発されており、このDVDを再生するDVD再生装置も市場に普及してきている。

【0003】ところで、このDVDには、例えば工場等において製造工程が終了した後で、図4に示すように、そのリードインエリアよりもさらに内周の特定領域に、YAGレーザによってBCA (Burst Cutting Area) コードなるものが記録されることがある。

【0004】図5は、このようなBCAデータの1バケットの構造を示している。まず、BCAユーザデータ数は、 $16 \cdot n - 4$ ($1 \leq n \leq 12$) バイトの可変情報領域を有し、これに、4バイトのEDC (Error Detection Code) バリティと、16バイトのECC (Error Correction Code) バリティとが付加されている。

【0005】そして、この可変情報領域とEDCバリティとに、それぞれ4バイト毎に1バイトのシンクデータRSBCAnが付加され、ECCバリティに4バイト毎に1バイトのシンクデータRSBCA13が付加されている。

【0006】また、このBCAデータは、その先頭部分に1バイトのシンクデータSBCAと、それぞれが“00h (Hexa-decimal)”である4バイトのBCA-Preambleデータとが付加されている。

【0007】さらに、このBCAデータは、そのECCバリティの後に、1バイトのシンクデータRSBCA14と、それぞれが“55h”である4バイトのBCA-Postambleデータとが付加され、その後に、1バイトのシンクデータRSBCA15が付加されている。

【0008】そして、各シンクデータSBCA, RSBCAn, RSBCA13, RSBCA14, RSBCA15は、それぞれ、特定のシンクパターンを表わす8チャンネルビットと、フレーム番号nを表わす8チャンネルビットとから構成されている。なお、1ビットが2チャンネルビットになる変調規則にしたがっている。

【0009】ここで、1フレームのユーザデータ数は、16バイトで形成されているが、n番目のフレームのみ、ユーザデータ数は12バイトとなり、EDCバリティが4バイト付加される。例えば、n=5ならば、ユーザデータ数は $16 \times 5 - 4 = 76$ バイトとなり、5フレームの4行目のシンクデータRSBCA5の後に、4バイトのEDCバリティが付加されることになる。

【0010】また、このBCAデータ構造の縦方向にインターリーブ処理されて付加される16バイトのリードソロモンECCバリティは、ユーザデータ長にかかわらず13フレームに属している。例えば、n=5ならば、5フレームのEDCバリティの後にシンクデータRSBCA13が表れ、ECCバリティが続くことになる。

【0011】このBCAデータは、前述したように、DVDのリードインエリアよりもさらに内周の同心円上に十分な幅を持って記録されるもので、データ長が短いほど、DVD上のBCAデータ記録領域におけるデータ無記録領域が多くなるようになっている。

【0012】そして、このBCAデータの変調規則は、“0”及び“1”を表わす1ビットのデータに、“10”及び“01”の2チャンネルビットをそれぞれ割り当てている。また、特定のシンクパターンは、上位から“01000110”で、これに続くフレーム番号は、前述した変調規則にしたがい、“0”～“13”を表わす4ビットのデータを8チャンネルビットに変調している。

【0013】この変調規則にしたがえば、データの最小極性反転間隔Tminは1Tとなり、最大極性反転間隔Tmaxは4Tとなり、この4Tパターンは、シンクデータにしか表わることがない。

【0014】図6は、このようなBCAデータの記録さ

れた光ディスクを再生可能なディスク再生装置を示している。図6において、符号11は、BCAデータの記録された光ディスクで、ディスクモータ12によって回転駆動される。また、光ディスク11の信号記録面に対向して、光学式ピックアップ13が設置されている。

【0015】このディスクモータ12は、サーボ回路14によって、その回転速度が制御されている。また、光学式ピックアップ13は、サーボ回路14によって、その図示しない対物レンズに対するトラッキングサーボやフォーカスサーボが施されるとともに、光ディスク11の径方向への移動が制御されている。

【0016】ここで、光ディスク11のBCAデータを再生する場合、ディスク再生装置の動作を統括的に制御する制御MPU (Micro-Processing Unit) 15は、サーボ回路14により、光ディスク11をBCAデータの再生に最適な回転数である24Hz (1440rpm) に保つようにCAV (Constant Angular Velocity) サーボを施すとともに、光学式ピックアップ13をBCAデータの記録領域に移動させる。

【0017】そして、光学式ピックアップ13から出力されるBCAデータに対応した電気信号は、増幅回路16及びバイコライザ回路17を介した後、データスライス回路18に供給されて2値化される。この2値化信号は、BCA検出回路19及びPLL (Phase Locked Loop) 回路20に供給されている。

【0018】このうち、PLL回路20は、入力された2値化信号からチャンネルビットクロックを生成し、BCA検出回路19に出力している。また、BCA検出回路19は、入力された2値化信号から、チャンネルビットクロックに基づいてデータを抜き取り、BCA検出チャンネルビットを生成している。

【0019】そして、このBCA検出回路19では、チャンネルビットクロック及びBCA検出チャンネルビットに基づいて、BCAデータストリームの中からシンクパターンを検出し、その後続く8チャンネルビットのデータを復調することにより、フレーム番号を得ている。

【0020】その後、このBCA検出回路19は、得られたフレーム番号に対して0から3までのフレーム内行番号を生成し、BCAデータ格納メモリ21に対するアドレスを決定して、復調されたBCAデータを順次記憶させる。このBCAデータ格納メモリ21は、BCAデータが最長のとき、つまり、 $n=12$ のとき、208バイトが記録される。

【0021】また、このBCAデータ格納メモリ21に記録されたBCAデータは、BCAデータ処理回路22によって、ECCパリティに基づくエラー訂正処理が、また、EDCパリティに基づく誤り検出が施される。

【0022】図7は、上記BCA検出回路19の詳細を示している。すなわち、上記データスライス回路18から出力されるBCA2値化信号は、入力端子19aを介

した後、復調回路19b及び出力端子19cを介してデータバスに出力されるとともに、シンク検出回路19eに供給されている。また、上記PLL回路20から出力されるチャンネルビットクロックは、入力端子19dを介して上記復調回路19b及びシンク検出回路19eに供給されている。

【0023】そして、上記復調回路19bの出力及びシンク検出回路19eの出力は、メモリアドレス生成回路19f及び出力端子19gを介してアドレスバスに出力されるとともに、BCA記録長検出回路19h及び出力端子19iを介してBCAデータ処理回路22に出力されている。

【0024】ここで、上記光学式ピックアップ13が光ディスク11のデータ無記録領域からBCAデータ記録領域に到達すると、シンクデータSBCAから始まるチャンネルビットが検出される。すると、このシンクデータSBCA及びBCA-Preambleデータを再生するあたりで、PLL回路20がロックし、正規のチャンネルビットクロックが得られるようになる。

【0025】このとき、上記BCA検出回路19では、まず、シンクデータRSBCA1のシンクパターンを検出し、BCAデータ格納メモリ21にアドレス0を発生する。その後、BCA検出回路19は、検出される16チャンネルビット毎に、それを1バイトとするデータ復調処理を行ない、その都度、アドレスをインクリメントしている。

【0026】このようにして、4バイト分のデータをBCAデータ格納メモリ21に記録した時点で、次に、再度シンクデータRSBCA1が検出されるはずであるが、もし検出できなくても、BCA検出回路19は、疑似的にシンクデータが検出できたものとしてデータ復調間隔とアドレスのインクリメントとを変えことなく継続して、いわゆる同期保護を行なっている。

【0027】また、BCA検出回路19は、シンクデータを検出する予測位置に対して、 ± 2 チャンネルビット幅程度のシンク検出ウインドウを設定し、このウインドウ内にシンクデータが検出できれば、その位置補正を行なって、以降のデータ復調同期を修正する。

【0028】なお、この時点で検出されるシンクデータが、RSBCA1以外の例えばRSBCA2やRSBCA10等の値であった場合には、BCA検出回路19は、それを検出エラーとみなして、アドレスの変更を行なわないようにしている。

【0029】そして、16バイト分の復調データがBCAデータ格納メモリ21に記録された時点で、次に発生するシンクデータは、RSBCA2またはRSBCA13のはずであるが、BCA検出回路19は、フレーム番号によらず、アドレスのインクリメントを継続させ、データ復調同期も変えずに継続させる。

【0030】すなわち、シンクデータによる ± 2 チャネ

ルビットの位置補正によるデータ復調同期の変更はあっても、アドレスについてはインクリメントが継続される。このようにアドレスを生成した場合の、ユーザデータ、そのEDCパリティ及びECCパリティの各バイトに対するアドレスは、図8に示すように生成されることになる。

【0031】以上の手順によりデータの復調と記録が行われ、シンクデータRSBCA13の付加されたデータを16バイト記録した時点で、記録動作が終了される。次に、上記BCAデータ格納メモリ21に記録されたデータには、BCAデータ処理回路22によってエラー訂正やEDC誤り検出等の処理が施される。すなわち、上記BCA検出回路19では、BCAデータをBCAデータ格納メモリ21に記録する際に、最終データ(RSBCA13)の記録アドレスを保持しておき、このアドレスをBCAデータ処理回路22に送出している。

【0032】このBCAデータ処理回路22では、まず、ECCパリティによるエラー訂正処理を行なうが、ここで、ECCパリティは、縦方向のデータ順列によるシンドローム計算により生成されている。よって、このエラー訂正処理では4列分縦方向にアドレスを進めるようにしている。

【0033】すなわち、例えば $n=3$ である場合には、4バイト単位でシンクデータRSBCA3が付された16バイトのデータの次に、シンクデータRSBCA13の付されたECCパリティが続くので、アドレスは、0から15までがRSBCA1のデータとなり、16から31までがRSBCA2のデータとなり、32から47までがRSBCA3のデータとなり、48から63までがRSBCA13のECCパリティとなる。

【0034】このため、1列目のエラー訂正のために生成されるアドレスは、 $0 \rightarrow 4 \rightarrow 8 \rightarrow 12 \rightarrow \dots \rightarrow 56 \rightarrow 60$ となり、アドレス48、52、56、60の位置にECCパリティが存在することになる。また、2列目のエラー訂正時には、アドレスを $1 \rightarrow 5 \rightarrow 9 \rightarrow 13 \rightarrow \dots \rightarrow 57 \rightarrow 61$ と発生させ、この場合、アドレス49、53、57、61がECCパリティの位置となる。

【0035】同様に、3列目のエラー訂正時には、アドレスを $2 \rightarrow 6 \rightarrow 10 \rightarrow 14 \rightarrow \dots \rightarrow 58 \rightarrow 62$ と発生させ、この場合、アドレス50、54、58、62がECCパリティの位置となり、4列目のエラー訂正時には、アドレスを $3 \rightarrow 7 \rightarrow 11 \rightarrow 15 \rightarrow \dots \rightarrow 59 \rightarrow 63$ と発生させ、この場合、アドレス51、55、59、63がECCパリティの位置となる。

【0036】ところで、BCAコードのフォーマットでは、ECCパリティは、BCAユーザデータの最大記録長つまり $n=12$ の場合に対応して作られている。このため、 $n \neq 12$ の場合には、EDCパリティからECCパリティまでの隙間に0データ“00h”を入れてシンドローム計算を行なわなければならない。

【0037】このため、BCAデータのエラー訂正処理の際にも、この隙間に仮想的に0データ“00h”を挿入してシンドローム計算を行なう必要がある。上記の例($n=3$)で言えば、1列目のエラー訂正の際には、EDCパリティの位置するアドレス44と、ECCパリティの第1バイト目が位置するアドレス48との間に、最大記録長時の隙間として、0データ“00h”を $(12-3) \times 4 = 36$ バイト挿入する必要があることになる。

【0038】そして、上記BCAデータ処理回路22では、BCA検出回路19のBCA記録長検出回路19hで検出された記録長、つまり、上記の記録方法によって得られたシンクデータRSBCA13のデータの記録アドレスから隙間を計算し、ダミーの0データ“00h”を挿入している。

【0039】すなわち、 $n=6$ であれば、1列目はアドレスが $0 \rightarrow 4 \rightarrow 8 \rightarrow 12 \rightarrow \dots \rightarrow 104 \rightarrow 108$ と発生され、この場合、アドレス96、100、104、108がECCパリティとなるので、アドレス92と96との間に、0データ“00h”が $(12-6) \times 4 = 24$ バイト挿入されることになる。

【0040】次に、上記BCAデータ処理回路22におけるEDC誤り検出のための演算処理について説明する。すなわち、このEDC演算処理時にもECC処理時と同様に、データ記録時に保持した最終データの記録アドレスを利用して、処理を記録長に合わせるようにしている。

【0041】例えば、 $n=3$ であれば、生成されるアドレスは0から63で、そのうちEDCパリティのアドレスは、44、45、46、47となる。このため、EDC演算処理時に生成されるアドレスは、0から始まり47で終了される。また、 $n=6$ であれば、生成されるアドレスは0から111で、そのうちEDCパリティのアドレスは、92、93、94、95となる。このため、EDC演算処理時に生成されるアドレスは、0から始まり95で終了される。

【0042】上記のように、BCAデータを再生可能なディスク再生装置では、ECCパリティによるエラー訂正やEDCチェック処理のために、BCA検出回路19が検出した記録長を、BCAデータ処理回路22に供給し、BCAデータ処理回路22では、この入力された検出記録長に応じてECCエラー訂正処理かEDC演算処理かを選択して処理を変えるようにしている。

【0043】

【発明が解決しようとする課題】しかしながら、上記のような従来のディスク再生装置では、BCAデータの記録長を検出し、この検出した記録長に応じてECC及びEDCの処理を対応させるように変更しているため、BCAデータ再生に要する処理が煩雑であり、これに応じて回路構成も複雑で大型化するという問題が生じてい

る。

【0044】そこで、この発明は上記事情を考慮してなされたもので、BCAデータの記録長を検出するような煩雑な処理を必要とせず、簡易な構成でBCAデータの処理を容易に行なうことを可能とした極めて良好なデータ再生装置を提供することを目的とする。

【0045】

【課題を解決するための手段】この発明に係るデータ再生装置は、1データバケットが不特定数のフレームで構成され、1フレームがそれぞれ同期コードとフレーム番号とを付与された所定数のデータで構成されるデータ列を再生するものを対象としている。

【0046】そして、最大数のフレームが含まれた1データバケットを記録可能な記録容量を有する記録媒体と、この記録媒体の1データバケット分の記録領域に特定データを記録して初期化する初期化手段と、再生されたデータバケットに含まれる同期コードとフレーム番号とから記録媒体に与えるアドレスを生成し、この生成されたアドレスに基づいて再生されたデータバケットのデータを記録媒体に記録する記録手段とを備えるようにしたものである。

【0047】上記のような構成によれば、フレーム数が不特定のデータ列を記録媒体に記録する際に、記録媒体に特定データを記録してその内容を初期化し、その上で再生されたデータバケットに含まれる同期コードとフレーム番号とから記録媒体に与えるアドレスを生成し、この生成されたアドレスに基づいて再生されたデータバケットのデータを記録媒体に記録することにより、データ長を固定長化するようにしている。

【0048】このため、データ長にかかわらず、記録媒体に記録されたデータバケットのデータに対して、例えばECC演算処理やEDC演算処理等を最大データ長のときの処理に統一して行なうことができるようになり、従来のように、BCAデータの記録長を検出するような煩雑な処理を必要とせず、簡易な構成でデータ列を容易に処理することが可能となる。

【0049】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。図1において、図6と同一部分には同一符号を付して示している。すなわち、前記BCA検出回路19でBCAデータの記録長を検出することをせず、BCA検出回路19からBCAデータ処理回路22に記録長を送出するラインを削除する。そして、BCA検出回路19を図2に示すような構成としている。なお、図2において、図7と同一部分には同一符号を付して示している。

【0050】ここで、前記BCAデータ格納メモリ21は、BCAデータが最長つまり $n=12$ のときのデータ数である208バイトを記憶することができる容量を有している。そして、BCAデータを検出するにあたり、

前記制御MPU15は、入力端子19jを介してBCA検出回路19のメモリ初期化制御回路19kに、メモリ初期化指令を発生する。

【0051】このメモリ初期化指令を受けて、BCA検出回路19は、BCAデータ格納メモリ21に対して、図3に示すように、アドレス0～15に非0データとして例えば“FFh”を書き込み、アドレス16～191に0データ“00h”を書き込み、アドレス192～207に非0データとして例えば“FFh”を書き込むという、メモリ初期化処理を実行する。

【0052】このメモリ初期化処理は、アドレスデコーダ19lによって、メモリアドレス生成回路19fで生成されたアドレスをデコード処理することにより、アドレス0～15と192～207とでは、非0データ“FFh”が出力端子19cから発生されるように、制御信号A (“H” active) をオア回路19mに出力し、その他のアドレス(16～191を含む)では、0データ“00h”が出力端子19cから発生されるように、制御信号B (“L” active) をアンド回路19nに出力している。

【0053】そして、このメモリ初期化処理が完了した時点で、BCA検出回路19は、BCAデータの検出動作を開始する。すなわち、制御MPU15は、サーボ回路14に対し、光ディスク11をBCAデータの再生に最適な回転数に保つようにCAVサーボを行なわせるとともに、光学式ピックアップ13をBCAデータの記録領域に移動させるように指令を発生する。

【0054】ここで、上記光学式ピックアップ13が光ディスク11のデータ無記録領域からBCAデータ記録領域に到達すると、シンクデータSBCAから始まるチャネルビットが検出される。すると、このシンクデータSBCA及びBCA-Preambleデータを再生するあたりで、PLL回路20がロックし、正規のチャネルビットクロックが得られるようになる。

【0055】このとき、上記BCA検出回路19では、まず、シンクデータRSBCA1のシンクパターンを検出し、BCAデータ格納メモリ21にアドレス0を発生する。その後、BCA検出回路19は、検出される16チャネルビット毎に、それを1バイトとするデータ復調処理を行ない、その都度、アドレスをインクリメントしている。

【0056】このようにして、4バイト分のデータをBCAデータ格納メモリ21に記録した時点で、次に、再度シンクデータRSBCA1が検出されるはずであるが、もし検出できなくても、BCA検出回路19は、疑似的にシンクデータが検出できたものとしてデータ復調間隔とアドレスのインクリメントとを変えことなく継続して、いわゆる同期保護を行なっている。

【0057】また、BCA検出回路19は、シンクデータを検出する予測位置に対して、±2チャネルビット幅

程度のシンク検出ウィンドウを設定し、このウィンドウ内にシンクデータが検出できれば、その位置補正を行なって、以降のデータ復調同期を修正する。

【0058】なお、この時点で検出されるシンクデータが、RS BCA1以外の例えばRS BCA2やRS BCA10等の値であった場合には、BCA検出回路19は、それを検出エラーとみなして、アドレスの変更を行なわないようにしている。

【0059】そして、16バイト分の復調データがBCAデータ格納メモリ21に記録された時点で、次に発生するシンクデータは、RS BCA2またはRS BCA13のはずであるが、検出されたフレーム番号が13以外であれば、アドレスは変えずにインクリメントを続ける。

【0060】また、予測位置に対して±2チャンネルビット幅のウィンドウ内に、シンクデータRS BCA13のシンクパターンが検出された場合、メモリアドレス生成回路19fはアドレス192を出力する（アドレスジャンプ）。このアドレス192は、最大記録長時のRS BCA13の1バイト目を書き込むアドレスに相当するので、結局、ジャンプしたアドレス16～191にはメモリ初期化時に書き込んだ0データ“00h”が残ることになる。そして、シンクデータRS BCA13の付加されたデータを16バイト記録した時点で、記録動作が終了される。

【0061】次に、上記のようにBCAデータ格納メモリ21に記録されたデータには、BCAデータ処理回路22によってエラー訂正やEDC誤り検出等の処理が施される。まず、ECCバリティによるエラー訂正処理のためのアドレス発生は、以下のように行なわれる。

【0062】すなわち、1列目のエラー訂正処理のために生成されるアドレスは、0→4→8→12→……→200→204となり、アドレス192、196、200、204の位置にECCバリティが存在することになる。また、2列目のエラー訂正処理のために生成されるアドレスは、1→5→9→13→……→201→205となり、アドレス193、197、201、205の位置にECCバリティが存在することになる。

【0063】同様に、3列目のエラー訂正処理のために生成されるアドレスは、2→6→10→14→……→202→206となり、アドレス194、198、202、206の位置にECCバリティが存在することになる。また、4列目のエラー訂正処理のために生成されるアドレスは、3→7→11→15→……→203→207となり、アドレス195、199、203、207の位置にECCバリティが存在することになる。

【0064】そして、BCAデータのBCAデータ格納メモリ21への記録時に、シンクデータRS BCA13に続くECCバリティは、メモリ21の固定位置、つまり、アドレス192～207に記録される。このため、例えばn=3の場合でも、ECCバリティの記録位置は、n

=12の最大データ長のときと同様になる。

【0065】また、n=3の場合でも、アドレス48～191までのBCA再生時のデータ無記録位置のアドレス生成を、飛ばすことなく実行する。すなわち、ECCバリティによるエラー訂正処理時におけるアドレス生成は、nの値にかかわらずn=12の最大データ長のときと同じに行なわれることになる。

【0066】このように、n=12でないにもかかわらずn=12のときと同様の処理が行なえる理由は、n≠12のときに、EDCバリティからECCバリティまでの間は、前述したメモリ初期化時の0データ“00h”が残るため、従来のように疑似的な0データ“00h”を挿入する必要がないからである。

【0067】このため、ECC演算の際に算出するシンδροームの計算結果は、BCAデータ作成時に生成するシンδροーム計算と全く同じになる。これにより、BCA記録データ長にかかわらず、n=12の最大データ長時にECC処理を統一してもよいことになる。

【0068】次に、EDC演算処理のためのアドレス生成も、n=12の最大記録長時と同様の処理となる。すなわち、アドレス生成は、0から順次インクリメントされて191にて完了となり、EDCバリティ位置は、再生時には記録していない（つまり0データ“00h”が残っている）アドレス188、189、190、191となる。

【0069】このように、n=12でないにもかかわらずn=12のときと同様の処理が行なえる理由は、例えばn=3の場合、EDC演算結果が、アドレス0から実際のEDCバリティの4バイト目の記録位置であるアドレス47まで生成された時点で確定しており、その時点で演算結果が0つまりEDCチェック結果がOKであれば、それ以降アドレス191まで0データを入力しても、排他的論理和演算を行なうEDC計算結果はやはり0になるはずであり、先にアドレス47にて確定したEDC演算結果がそのまま保持されることになるからである。これにより、BCA記録データ長にかかわらず、n=12の最大データ長時にEDC処理を統一してもよいことになる。

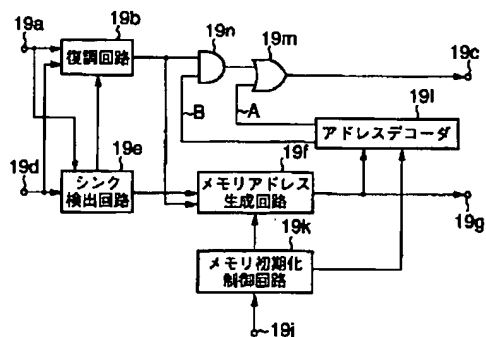
【0070】上記した実施の形態によれば、データ長が不特定のBCAデータを、BCAデータ格納メモリ21に記録する際に、予めBCAデータ格納メモリ21の内容を初期化して、そのデータ長を固定長化することにより、データ長にかかわらずECC演算処理やEDC演算処理を最大データ長のときの処理に統一して行なうことができるようにしたので、従来のように、BCAデータの記録長を検出するような煩雑な処理を必要とせず、簡易な構成でBCAデータを容易に処理することが可能となる。

【0071】また、上記BCA検出回路19は、再生されたBCAデータをBCAデータ格納メモリ21に記録

【図5】同BCAデータのフォーマットを説明するため*

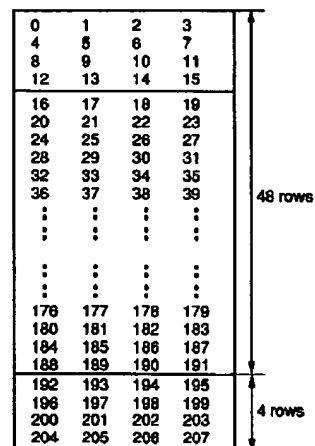
20 22...BCAデータ処理回路。

【圖3】

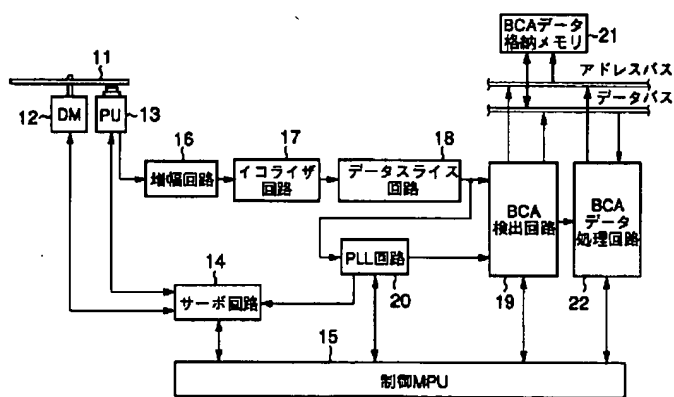


FFh	FFh	FFh	FFh	48 rows	
FFh	FFh	FFh	FFh		
FFh	FFh	FFh	FFh		
FFh	FFh	FFh	FFh		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
:	:	:	:		
:	:	:	:		
:	:	:	:		
:	:	:	:		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
00h	00h	00h	00h		
FFh	FFh	FFh	FFh		4 rows
FFh	FFh	FFh	FFh		
FFh	FFh	FFh	FFh		
FFh	FFh	FFh	FFh		

【図8】



【図6】



【圖 7】

